

JP59090978 - SUPERLATTICE NEGATIVE RESISTANCE ELEMENT

Publication number: JP59090978 (A)

Also published as:

JP59090978 (T1)

Publication date: 1984-05-25

Inventor(s): YANASE TOMOO; RANGU HIROYOSHI

Applicant(s): NIPPON ELECTRIC CO

Classification:

- international: H01L47/00; H01L29/15; H01L29/88; H01L47/00; H01L29/02; H01L29/66; (IPC1-7): H01L47/00

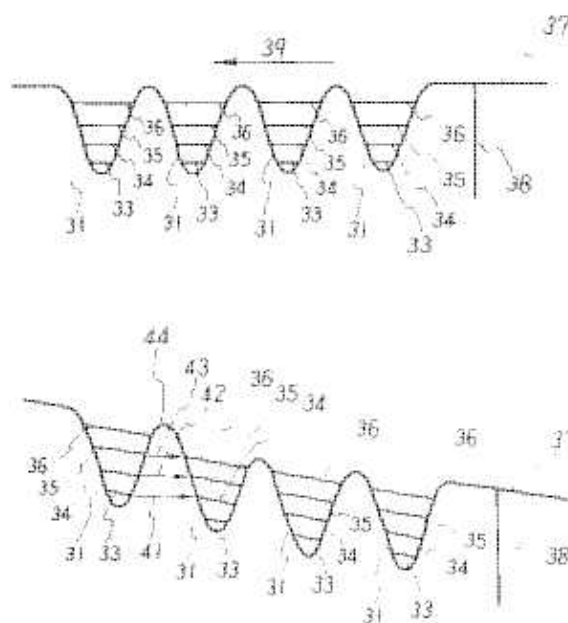
- European: H01L29/15B2C; H01L29/88R; Y01N4/00

Application number: JP19820200572 19821116

Priority number(s): JP19820200572 19821116

Abstract of JP 59090978 (A)

PURPOSE:To obtain the negative resistance element with superlattice structure, through which the large degree of amplification is acquired, by flowing resonant tunnel currents through sections among a plural pair of levels and obtaining larger differential negative resistance. **CONSTITUTION:**The position 31 of the lower end of a conductive band changes in a sine wave shape in the direction 39 vertical to the upper surface 38 of a substrate 37. GaAs is used as a substrate mixed crystal, and a mixed crystal layer consists of Ga_{1-x}Al_xAs. The change of the sine wave shape is obtained by altering a composition ratio (x) of Al in a sine wave shape. When the shape of a potential well formed by the spatial change of the position of the lower end of the conductive band takes a sine wave, scattered energy levels 33, 34, 35, 36 are arranged at approximately regular intervals.; When voltage is applied to the superlattice, regions 44 in which a field drop focuses are generated. When applied voltage is increased to a proper value, the energy levels of the left potential wells and those of the right potential wells coincide in a plurality of pairs while holding the thin-film regions 44, the resonant tunnel currents 41, 42, 43 flow through three pairs of the levels, and large differential negative resistance is obtained.



Data supplied from the *esp@cenet* database — Worldwide

⑫ 公開特許公報 (A)

昭59—90978

⑤ Int. Cl.³
H 01 L 47/00

識別記号

庁内整理番号
6466—5F

④ 公開 昭和59年(1984)5月25日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 超格子負性抵抗素子

⑯ 発明者 覧具博義

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭57—200572

⑱ 出 願 昭57(1982)11月16日

⑲ 出 願 人 日本電気株式会社

⑳ 発 明 者 柳瀬知夫

東京都港区芝五丁目33番1号日
本電気株式会社内

㉑ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称 超格子負性抵抗素子

2. 特許請求の範囲

半導体結晶基板上に、禁制帯幅が互いに異なる2種類の混晶半導体薄膜層を交互に複数層形成した超格子構造を有する負性抵抗素子において、薄膜層内で薄膜面に垂直な方向に導電帯の下端形状が正弦波状に少なくとも2周期繰り返しているように、前記2種類の薄膜層のうち禁制帯幅の小さな薄膜の混晶組成が空間的に変化していることを特徴とする超格子負性抵抗素子。

3. 発明の詳細な説明

本発明は負性抵抗素子に関するものである。

高周波増幅器又は発振器用の増幅素子として、GaAs-FETの開発が盛んであるが、負性微分抵抗を有する超格子を用いると、GaAs-FETでは得にくい高周波域で動作が出来る可能性があること

から、超格子負性抵抗素子は将来性が高いと考えられている。

従来提案されてきた超格子負性抵抗素子は、第1図に示す導電帯の下端の形状を有する。ここで縦軸はエネルギーを表わし、横軸は超格子面に垂直な方向の位置を表わす実空間でのエネルギーレベル表示を用いている。通常の超格子負性抵抗素子は二元混晶であるGaAsで形成された禁制帯幅の狭い層11と、三元混晶であるGaAlAsで形成された禁制帯幅の広い層12とが、交互に積層した構造を有する。このさい、GaAs層の厚みが200オングストローム程度迄薄くなると、GaAs層中の電子が存在出来るエネルギーレベルは離散化し、基底エネルギーレベル13、2番目のレベル14、3番目のレベル15、4番目のレベル16などが発生する。このように、離散化したエネルギーレベルを有する層をはさむ、禁制帯幅の広い層12の厚みが、数百オングストローム程度に薄くなると、薄膜層と垂直の方向に電圧を印加した状態で、トンネル電流が流れる。第1図に示す超格子に電

圧を印加した時、トンネル電流が流れ、印加電圧が適切な値になったとき微分負性抵抗が現われることは、エル・エサキ等（フィジカル・レビュー・レター、33巻、495頁、1974年）によって報告された。このときの微分負性抵抗が得られた状態を、第2図を用いて説明する。第2図は、第1図に示されたGaAsとGaAlAsからなる超格子に超格子面と垂直な方向に電圧を印加したときの、実空間における導電帯下端の形状を示す。超格子面に垂直の方向に印加する電圧が適切な値迄上昇すると、第2図に示される高電界領域22が発生する。高電界領域22が発生する条件下で、印加電圧をさらに増加すると、トンネル電流21が増大する。この現象は、高電界領域22の左側の禁制帯幅の狭い層の基底エネルギーレベル13と、右側の禁制帯幅の狭い層の2番目のエネルギーレベル14とがほぼ等しいエネルギーになったとき、共鳴的にトンネル電流が増大するために生じる。共鳴的にトンネル電流が増大すると、超格子の微分抵抗が負になり、超格子が負性抵抗素子として

2周期繰り返しているように、前記2種類の薄膜層のうち禁制帯幅の小なる薄膜の混晶組成が空間的に変化している点に特徴をもたせた構成となっている。

次に図面を用いて本発明の一実施例を説明する。第3図は本発明による超格子負性抵抗素子の混晶層における導電帯の下端の空間変化を示す。第3図に示した導電帯の下端の位置31は、基板37の上面38と垂直な方向39に、正弦波状に変化する。本実施例では基板混晶としてGaAsが用いられ、混晶層は $Ga_{1-x}Al_xAs$ からなる。導電帯の下端の位置の正弦波状の変化は、Alの組成率xを正弦波状に変化させることによって得られる。導電帯の下端位置の空間変化により形成されるポテンシャル井戸の形状が正弦波であると、離散化したエネルギーレベル^{33, 34, 35, 36}はほぼ等間隔になることが量子力学によって示される。第4図は、このほぼ等間隔のエネルギーレベルを有する超格子に、電圧を印加した状況を示す。第2図で示した従来の超格子と同様に、電界降下が集中した領域44が

動作する。ところが、従来提案されてきた超格子構造は、^{第1}図に示すように、導電帯のポテンシャル井戸の形状が箱型であるため、離散化したエネルギーレベル13から16は非等間隔 $((n+1)^2$ に比例、nはレベルの番号)となる。すると、超格子に垂直に電圧が印加されても、隣同志のエネルギーレベルが2組以上一致することはなく、たかだか1組のエネルギーレベルが一致するにすぎない。そのため、一致したエネルギーレベル13と14を介して共鳴的に流れるトンネル電流21は微弱であり、微分負性抵抗は小さく、大きな増幅度が得られない。

そこで、本発明の目的は、大きな増幅度が得られる、超格子構造を有する負性抵抗素子を提供することにある。

本発明の負性抵抗素子は、半導体結晶基板上に、禁制帯幅が互いに異なる2種類の混晶半導体薄膜層を交互に複数層形成した超格子構造を有する負性抵抗素子において、薄膜層内で薄膜面に垂直な方向に導電帯の下端形状が正弦波状に少なくとも

発生する。印加電圧を適切な値迄増加すると、前記薄膜領域44を挟んで、左側のポテンシャル井戸のエネルギーレベルと右側のポテンシャル井戸のエネルギーレベルは複数組（この場合は3組）で一致し、3組のレベル間を通じて共鳴的なトンネル電流41、42、43が流れる。従来の超格子では、第2図に示すように一組の一致したレベル間のトンネル電流21しか流れなかったため、微分負性抵抗は小さかった。本発明からなる実施例では、複数組のレベル間を通じて共鳴的なトンネル電流が流れるため、より大きな微分負性抵抗が得られる。よって、本実施例によれば、大きな増幅度が得られる超格子構造を有する負性抵抗素子を得ることが出来る。

前記実施例に述べた超格子は、分子ビームエピタキシー法で製造した。GaとAsとAlを発生するセルを有する分子ビームエピタキシー装置で、Alを発生するセルの温度はAl線量が多量的に正弦波状に増減するよう調整して、第3図に示す導電帯の下端の空間的な変化形状を形成した。Al

線量を正弦波状に増減することは、単にAIを発生するセル温度を正弦波状に変えればよく、急激な温度変化を必要とせず、非常に容易に製造可能である。

前記実施例ではGaAlAs/GaAsの混晶を用いたが、本発明は結晶材料に限定されず、AlGaAsSb/GaSb等、他の材料を用いても良いのは明らかである。

4. 図面の簡単な説明

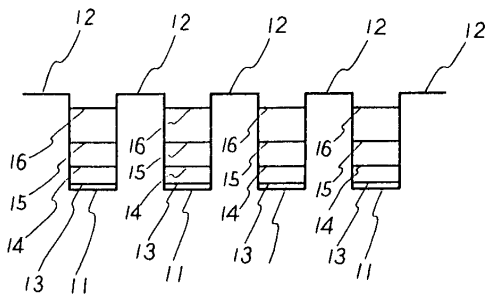
第1図は従来の超格子自性抵抗素子を説明するための導電帯下端の様子を示す図、第2図はその動作原理を説明する図、第3図は本発明の一実施例を説明するための導電帯下端の様子を示す図、第4図は本発明の動作原理を説明する図である。11は従来の超格子の禁制帯幅の狭い層、12は禁制帯幅の広い層、13から16は離散化したエネルギーレベル、21は共鳴したトンネル電流、22は電界が集中した領域、31は本発明の一実施例の導電帯の下端、32、33から36は離散

化したエネルギーレベル、37は基板、38は基板の上面、39は基板の上面に垂直な方向、41から43は共鳴したトンネル電流、44は電界が集中した領域である。

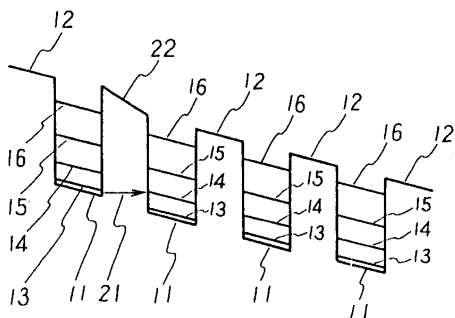
代理人 弁護士 内原 晋



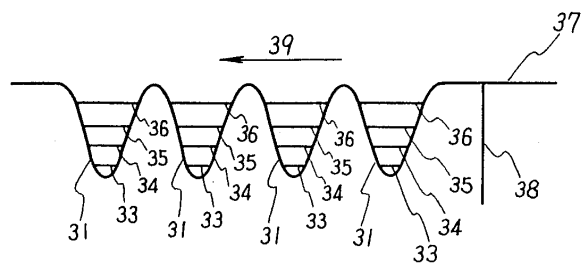
第 1 図



第 2 図



第 3 図



第 4 図

